

明 細 書

映像信号処理回路、映像信号処理回路の制御方法、及び集積回路

技術分野

本発明は、表示画面に表示される映像信号を処理する映像信号処理回路、映像信号処理回路を制御する映像信号処理回路の制御方法、及び集積回路に関するものである。

背景技術

携帯電話端末等に用いられる液晶表示装置には、映像信号を表示するために、映像信号をデジタル信号処理する映像処理回路が用いられている(例えば特開2000-330520号公報参照。)。図4に携帯電話端末に用いられる従来の映像処理回路13を示す。

映像処理回路13は、ラッチ回路3とGRAM(graphics Random access memory)2とから構成される。GRAM2は、表示パネル8に表示される1画面分の画素データを記憶する読み書き可能なメモリであり、入力されるメモリクロック信号12に同期して表示パネル8を構成する1画素に対応する画素データが書き込まれるメモリである。

ラッチ回路3は、表示パネル8に表示される1走査線分の画素データをGRAM2から読み出して記憶する回路である。

次に、このような従来の映像処理回路13の動作を説明する。

ラッチ回路3には、データラッチ信号10が入力される。また、GRAM2には表示リード制御信号9、メモリクロック信号12が入力される。

図5に、映像処理回路13のこれらの各種駆動信号及び制御信号の

タイミングチャートを示す。

図5のタイミングチャートでは、図4の表示リード制御信号9を表示リード制御信号51として示し、図4のデータラッチ信号10をデータラッチ信号52として示し、図4のメモリクロック信号12をメモリクロック信号53として示す。また、図5で、表示データ54、及び表示データ55は、GRAM2を構成するメモリ素子のビットに対応するGRAM2からの出力データであり、表示データ54は、GRAM2を構成するメモリ素子のビットがH状態からL状態に設定される場合、そのビットに対応するGRAM2からの出力データであり、表示データ55は、GRAM2を構成するメモリ素子のビットがL状態からH状態に設定される場合、そのビットに対応するGRAM2からの出力データである。ここで、GRAM2を構成するメモリ素子の各ビットには、表示すべき画素データが1ビットずつ記憶されている。

表示リード制御信号51は、ディスチャージ期間を示すH(High)状態とメモリデータ更新期間を示すL(Low)状態をとり得る制御信号である。GRAM2に入力される表示リード制御信号51がH状態であるとき、すなわち、ディスチャージ期間である場合に、GRAM2から出力される表示データは、その表示データに対応するGRAM2を構成するメモリ素子のビットがL状態であるかH状態であるかに関わらず全てL状態になる。また、GRAM2に入力される表示リード制御信号51がL状態であるとき、すなわち、メモリデータ更新期間であるとき、ラッチ回路3は、GRAM2から1走査線分の画素データを読み込み、記憶する。

ただし、GRAM2から出力される表示データはメモリデータ更新期間の間に、一旦H状態に設定されると、GRAM2を構成するメモリ素子のビットの値がどのような値であっても、そのメモリデータ更新期間

の間はH状態を維持し続ける。GRAM2から出力される表示データは、表示リード制御信号51がH状態、すなわちディスチャージ期間に初めてL状態に戻すことが出来る。すなわち、GRAM2のメモリ素子のビットにL状態を書き込まなくても表示リード制御信号51がH状態になればGRAM2から出力される表示データはL状態になる。GRAM2から出力される表示データは、このような特性を有している。

また、ラッチ回路3にデータラッチ信号52が入力されると、そのデータラッチ信号52のたち下がりでラッチ回路3は、ラッチ回路3を構成する各メモリ素子の各ビットの値を確定する。

また、メモリクロック信号53がGRAM2に入力され。メモリクロック信号53のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。このようにGRAM2への画素データの書き込みは、メモリクロック信号53に同期して行われる。

そして、GRAM2への画素データの書き込みと、GRAM2から1走査線分の画素データのラッチ回路3への読み出しとは独立した動作として行われる。

以上の動作をまとめて説明すると次のようになる。

すなわち、表示リード制御信号51がH状態の間に、GRAM2から出力される表示データはL状態になる。そして、メモリクロック信号がGRAM2に入力されると、メモリクロック信号のたち下がりのタイミングでGRAM2に画素データが書き込まれる。

表示リード制御信号51がH状態からL状態になると、すなわち表示リード制御信号51がメモリデータ更新期間になると、ラッチ回路3は、ラッチ回路3を構成する各メモリ素子にGRAM2に記憶されている1走査線分の画素データを読み出して記憶する。

そして、データラッチ信号52がラッチ回路3に入力されると、データ

ラッチ信号52のたち下がりで、ラッチ回路3は、メモリ素子に読み込んで記憶した1走査線分の画素データを確定する。

例えば表示データ54などのようにGRAM2にから出力される表示データがH状態からL状態に更新された場合、ラッチ回路3は、データラッチ信号52のたち下がりでラッチ回路3の対応するメモリ素子をL状態に設定する。

一方、表示データ55などのようにGRAM2から出力される表示データがL状態からH状態に更新された場合、ラッチ回路3は、データラッチ信号52のたち下がりでラッチ回路3の対応するメモリ素子をH状態に設定する。

発明の開示

図6に映像処理回路13の各種駆動信号及び制御信号の図5とは別のタイミングチャートを示す。

図6のタイミングチャートでは、図4の表示リード制御信号9を表示リード制御信号56として示し、図4のデータラッチ信号10をデータラッチ信号57として示し、図4のメモリクロック信号12をメモリクロック信号58として示す。また、図6で、表示データ59、及び表示データ60は、それぞれGRAM2を構成するメモリ素子のビットに対応するGRAM2からの出力データであり、表示データ59に対応するGRAM2のメモリ素子のビットは、H状態からL状態に設定されており、表示データ60に対応するGRAM2のメモリ素子のビットは、L状態からH状態に設定されている。

従来の技術の図5で説明したタイミングチャートと、図6のタイミングチャートとの相違点は、図6のタイミングチャートでは、メモリクロック信号58が、表示リード制御信号56がL状態すなわちメモリデータ更新

期間に入力されている点である。

また、メモリクロック信号58が入力され、メモリクロック信号58のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素は、データラッチ信号57が入力され、データラッチ信号57のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている。すなわち、GRAM2に書き込まれる画素データに対応する画素と同じ画素に対応する画素データがラッチ回路3によって読み出される。

図8に、このような状況を示す。ラッチ回路3は、データラッチ信号57に同期して、GRAM2のメモリ素子72に記憶されている画素データを読み出してラッチ回路3が有するメモリ素子75に読み出した画素データを記憶する。一方GRAM2のメモリ素子71のうち、メモリ素子73の部分には、メモリクロック信号58に同期して画素データが書き込まれる。従ってメモリ素子73の部分は、メモリクロック信号58に同期して画素データが書き込まれるとともに、データラッチ信号57のたち下がりのタイミングで画素データが読み出されることになり、競合が発生する。

このような場合、まず、表示リード制御信号56がH状態すなわちディスプレイチャージ期間では、GRAM2を構成するメモリ素子のビットにL状態が書き込まれているかH状態が書き込まれているかにかかわらず、そのビットに対応する表示データは全てL状態になるが、ラッチ回路3では、ラッチ回路3を構成するメモリ素子は従前のデータ値を保持し続けている。

そして、表示リード制御信号56がL状態のときすなわちメモリデータ更新期間に、データラッチ回路3は、GRAM2を構成するメモリ素子に記憶されている画素データを読み出して記憶する。

表示リード制御信号56がメモリデータ更新期間に、メモリクロック信号58が入力され、メモリクロック信号58のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。ここで、表示データ59は、表示データ59に対応するGRAM2を構成するメモリ素子のビットが、メモリクロック信号58が入力されるまでは、H状態に設定されていたとする。そして、メモリクロック信号58が入力されたタイミングで表示データ59に対応するGRAM2を構成するメモリ素子のビットにL状態が書き込まれたとする。

このような場合、GRAM2から出力される表示データ59は、メモリクロック信号58が入力される前にメモリデータ更新期間で、従前のデータ値すなわちH状態を出力する。。そして、メモリクロック信号58が入力され、メモリクロック信号58のたち下がりのタイミングでGRAM2の表示データ59に対応するメモリ素子のビットが書き込まれる。表示データ59に対応するビットとしてL状態が書き込まれたとする。

ところが、従来の技術で説明したように、GRAM2から出力される表示データ59は、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2に記憶されている画素データの値がどのような値であっても、H状態を維持し続ける。GRAM2から出力される表示データ59は、そして、表示リード制御信号56がH状態、すなわちディスチャージ期間には、表示データ59に対応するGRAM2を構成するメモリ素子のビットがH状態であるかL状態であるかにかかわらず、表示データ59は、全てL状態になる。GRAM2から出力される表示データは、このような特性を有している。

従って、GRAM2から出力される表示データ59は、メモリデータ更新期間に一旦H状態に設定されているので、GRAM2の表示データ59に対応するビットにL状態が書き込まれてもそのメモリデータ更新

期間ではH状態のまま維持される。

表示データ60に関しては、メモリクロック信号58が入力される以前はL状態に設定されており、メモリクロック信号58が入力され、そのたち下がりでGRAM2に書き込まれた画素データに対応してH状態が書き込まれる。この場合には、GRAM2に画素データが書き込まれると、GRAM2は、表示データ60としてH状態を出力する。

次に、データラッチ信号57がラッチ回路3に入力されると、データラッチ信号57のたち下がりで、ラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットを確定する。

ラッチ回路3がデータラッチ信号57によりラッチ回路3を構成するメモリ素子の各ビットを確定した場合、表示データ59については、メモリデータ更新期間にはH状態のまま維持されるので、表示データ59に対応するGRAM2を構成するメモリ素子のビットがL状態になっているにもかかわらず、ラッチ回路3の表示データ59に対応するメモリ素子のビットはH状態のまま確定されている。すなわち、表示データ59に対応するGRAM2を構成するメモリ素子のビットはL状態であるにも関わらず、表示データ59に対応するラッチ回路3のメモリ素子のビットはH状態に確定され、GRAM2とラッチ回路3とで同じ画素の同じビットの値に食い違いが生じることになる。

従って、表示リード制御信号56がL状態すなわちメモリデータ更新期間の間にメモリクロック信号58が入力され、しかも、このメモリクロック信号58が入力され、メモリクロック信号58のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素が、データラッチ信号57が入力され、データラッチ信号57のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている場合には、表示異常が発生する。

すなわち、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への水平走査線分の画素データの読み出しとが競合した場合、表示異常が発生する。

なお、上記では、GRAM2から出力される表示データは、次の特性を有するとして説明した。すなわち、GRAM2から出力される表示データは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2に記憶されている画素データの値がどのような値であっても、H状態を維持し続ける。そして、GRAM2から出力される表示データは、表示リード制御信号56がH状態、すなわちディスチャージ期間になって初めてL状態に戻すことができる。

しかしながら、GRAM2から出力される表示データが、メモリデータ更新期間の間、一旦H状態に設定されても、GRAM2に記憶されている画素データの値がL状態に設定された場合には、GRAM2から出力される表示データをL状態に再設定出来るという特性を有する場合であっても上記と同様の問題が起こり得る。

すなわち、図7に映像処理回路13の各種駆動信号及び制御信号の図6とは別のタイミングチャートを示す。また、この場合、上記とは異なり、GRAM2から出力される表示データは、GRAM2から出力される表示データが、メモリデータ更新期間の間、一旦H状態に設定されても、その表示データに対応するGRAM2を構成するメモリ素子のビットに記憶されている画素データの値がL状態に設定された場合には、GRAM2から出力される表示データを再びL状態に再設定出来るという特性を有する。

図7のタイミングチャートでは、図4の表示リード制御信号9を表示リード制御信号61として示し、図4のデータラッチ信号10をデータラッチ信号62として示し、図4のメモリクロック信号12をメモリクロック信号

63として示す。また、図7で、表示データ64、及び表示データ65は、それぞれGRAM2に記憶されている画素データのビットに対応するGRAM2から出力される出力データであり、表示データ64は対応するビットがH状態からL状態に設定される場合のGRAM2から出力される出力データであり、表示データ65は、対応するビットがL状態からH状態に設定される場合のGRAM2から出力される出力データである。

このような場合、表示リード制御信号61がH状態すなわち、ディスチャージ期間に表示データは全てLとなり、ラッチ回路3を構成するメモリ素子の各ビットは従前のデータ値を保持した状態になる。

表示リード制御信号61がL状態すなわち、メモリデータ更新期間に、ラッチ回路3は、GRAM2から1走査線分の画素データを読み出して記憶する。

ところが、図7から明らかなように、メモリデータ更新期間にデータラッチ信号62とメモリクロック信号63とが同時に入力されている。すなわち、GRAM2への画素データの書き込みと、その画素データを含む1走査線分の画素データのラッチ回路3への読み出しとが同時に発生している。

このような場合、表示データ64、及び表示データ65としてデータラッチ回路3に読み出されたデータはどのような値になるか不明であり、従って表示異常が発生する。

このように、上記いずれの場合であっても、GRAM2への画素データの書き込みと、その画素データに対応する画素を含む走査線分の画素データの読み出しとが競合した場合、表示異常が発生するという課題がある。

本発明は、上記課題を考慮し、GRAM2への画素データの書き込みと、その画素データに対応する画素を含む走査線分の画素データ

の読み出しとが競合した場合であっても表示異常が発生することがない映像処理回路、映像処理回路の制御方法、及び集積回路を提供することを目的とするものである。

上述した課題を解決するために、第1の本発明は、表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

前記GRAMから前記表示画面の走査線分の各画素に対応する画素データを読み出して記憶するラッチ回路と、

制御手段とを備え、

前記ラッチ回路に記憶されている前記走査線分の各画素に対応する画素データは、前記表示画面に表示され、

前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段は、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを行うよう制御する映像信号処理回路である。

また、第2の本発明は、前記制御手段は、競合が発生した、前記GRAMの前記画素データの書き込みに対応する前記メモリクロック信号が供給された時点より後の期間であって、そのメモリクロック信号の次のメモリクロック信号が供給されるより前の前記期間の間に、前記ラッチ回路が前記走査線分の各画素に対応する画素データを読み出すよう前記遅延時間の分だけ表示リード制御信号及びデータラッチ信号を遅らせて入力する遅延手段を有する、第1の本発明の映像信号処理回路である。

また、第3の本発明は、前記遅延時間は、可変に調整可能である、第2の本発明の映像信号処理回路である。

また、第4の本発明は、前記制御手段は、前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合したかどうかを監視する監視手段を有する、第1の本発明の映像信号処理回路である。

また、第5の本発明は、前記制御手段は、前記監視手段の監視結果に基づいて、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを行うよう制御する遅延手段を備えた、第4の本発明の映像信号処理回路である。

また、第6の本発明は、前記GRAMから前記ラッチ回路へ前記走査線分の各画素に対応する画素データを読み出す、競合が発生しない場合のメモリデータ更新期間に、前記GRAMへの前記画素データの書き込みが複数回行われる場合、前記競合が発生した際、前記制御手段は、前記画素データの書き込み期間とその次の画素データの書き込み期間の間に、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを前記競合が発生しない場合のメモリデータ更新期間に複数回行うよう制御する、第1の本発明の映像信号処理回路である。

また、第7の本発明は、表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

前記GRAMから前記表示画面の走査線分の各画素に対応する画

素データを読み出して記憶するラッチ回路と、

制御手段とを備えた映像信号処理回路を制御する映像信号処理回路の制御方法であって、

前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段が、前記走査線分の各画素に対応する画素データの読み出しを遅延させるよう制御するステップを備えた映像信号処理回路の制御方法である。

また、第8の本発明は、第1の本発明の映像信号処理回路が組み込まれている、集積回路である。

図面の簡単な説明

図1は、本発明の第1及び第2の実施の形態における映像処理回路の構成を示す図である。

図2は、本発明の第1の実施の形態における映像処理回路の各種駆動信号及び制御信号のタイミングチャートを示す図である。

図3は、本発明の第2の実施の形態における映像処理回路の各種駆動信号及び制御信号のタイミングチャートを示す図である。

図4は、従来映像処理回路の構成を示す図である。

図5は、従来映像処理回路の各種駆動信号及び制御信号のタイミングチャートを示す図である。

図6は、従来映像処理回路で競合が発生した場合の各種駆動信号及び制御信号のタイミングチャートを示す図である。

図7は、従来映像処理回路で競合が発生した場合の各種駆動信号及び制御信号のタイミングチャートを示す図である。

図8は、競合が発生した場合のGRAM2とラッチ回路3とのメモリ素

子の状態を示す図である。

図9は、本発明の第3の実施の形態における映像処理回路の各種駆動信号及び制御信号のタイミングチャートを示す図である。

(符号の説明)

- 1 映像処理回路
- 2 GRAM
- 3 ラッチ回路
- 4 ラッチ回路制御手段
- 5 OR回路
- 6 OR回路
- 7 ホストリトライ遅延回路
- 8 表示パネル
- 9 表示リード制御信号
 - 9a ホストリトライ用の表示リード制御信号
 - 9b 表示リード制御信号
- 10 データラッチ信号
 - 10a ホストリトライ用のデータラッチ信号
 - 10b データラッチ信号
- 91 遅延時間格納メモリ
- 92 監視回路92
- 93 ドライバーIC

発明を実施するための最良の形態

以下に、本発明の実施の形態を図面を参照しながら説明する。

(第1の実施の形態)

図1に、第1の実施の形態の映像処理回路1を示す。第1の実施の形態の映像処理回路1は携帯電話等に用いられるものである。

映像処理回路1は、ラッチ回路3とGRAM (graphics Random access memory) 2と、制御手段4とから構成される。GRAM2は、表示パネル8に表示される1画面分の画素データを記憶する読み書き可能なメモリであり、入力されるメモリクロック信号12に同期して表示パネル8を構成する1画素に対応する画素データが書き込まれるメモリである。

ラッチ回路3は、表示パネル8に表示される1走査線分の画素データをGRAM2から読み出して記憶する回路である。

制御手段4は、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への1走査線分の画素データの読み出しとが競合した場合、再度ラッチ回路3がGRAM2から1走査線分の画素データを読み出すよう制御する制御信号を発生して、ラッチ回路3へ出力する回路である。

制御手段4は、遅延回路7、OR回路5、OR回路6、遅延時間格納メモリ91、及び監視回路92から構成される。

遅延回路7は、入力されてくるメモリクロック信号12を遅延させて、GRAM2からのデータの再読み込み用 (ホストリトライ用という) のデータラッチ信号10aと、ホストリトライ用の表示リード制御信号9aとを発生させる回路である。

OR回路5は、データラッチ信号10と遅延回路7で発生されたホストリトライ用のデータラッチ信号10aとのORをとった信号をデータラッチ信号10bとして出力する回路である。

OR回路6は、表示データリード制御信号9とホストリトライ遅延回路

7で発生されたホストリトライ用の表示リード制御信号9aとのORをとった信号を表示リード制御信号9bとして出力する回路である。

遅延時間格納メモリ91は、入力されてくるメモリクロック信号12を遅延回路7が遅延させる時間に関する情報を格納するメモリである。

監視回路92は、競合が発生するかどうかを監視する回路である。

また、映像処理回路1は、他の映像処理機能とともに、1チップの集積回路であるドライバーIC93に組み込まれている。

なお、本実施の形態の遅延回路7及び遅延時間格納メモリ91は本発明の遅延手段の例である。

次に、このような本実施の形態の映像処理回路1の動作を説明する。

制御手段4には、表示リード制御信号9、データラッチ信号10、及びメモリクロック信号12が入力される。また、GRAM2にはメモリクロック信号12が入力される。

図2に、映像処理回路1のこれらの各種駆動信号及び制御信号のタイミングチャートを示す。

図2のタイミングチャートでは、図1の表示リード制御信号9を通常時表示リード制御信号14として示し、図1のデータラッチ信号10を通常時データラッチ信号15として示し、図1のメモリクロック信号12をメモリクロック信号16として示し、競合発生時に遅延回路7から発生されたホストリトライ用の表示リード制御信号9aを、ホストリトライ用表示リード信号17として示し、競合発生時に遅延回路7から発生されたホストリトライ用のデータラッチ信号10aを、ホストリトライ用データラッチ信号18として示す。また、図2では、OR回路6から出力された表示リード制御信号9bを、競合発生時表示リード制御信号19として示し、OR回路5から出力されたデータラッチ信号10bを競合発生時データラッチ信号20として示す。

すなわち、OR回路6は、表示リード制御信号9と遅延回路7から出力されたホストリトライ用の表示リード制御信号9aとのORをとった信号を競合発生時表示リード制御信号19として出力する。また、OR回路5は、データラッチ信号10と遅延回路7から出力されたホストリトライ用のデータラッチ信号10aとのORをとった信号を競合発生時データラッチ信号20として出力する。

また、図2で、表示データ21、及び表示データ22は、それぞれGRAM2を構成するメモリ素子のビットに対応する出力データであり、表示データ21はGRAM2を構成するメモリ素子のビットがH状態からL状態に設定される場合の出力データであり、表示データ22は、GRAM2を構成するメモリ素子のビットがL状態からH状態に設定される場合の出力データである。

表示リード制御信号9bは、ディスチャージ期間を示すH(High)状態とメモリデータ更新期間を示すL(Low)状態とをとり得る制御信号であり、GRAM2に入力される表示リード制御信号9bがH状態であるとき、すなわち、ディスチャージ期間にGRAM2から出力される表示データは全てLとなり、ラッチ回路3を構成するメモリ素子の各ビットは従前のデータ値を保持した状態になる。

また、GRAM2に入力される表示リード制御信号9bがL状態であるとき、すなわち、メモリデータ更新期間であるとき、ラッチ回路3は、GRAM2から1走査線分の画素データを読み込み、記憶する。

ただし、GRAM2から出力される表示データは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2を構成するメモリ素子のビットがどのような値であっても、H状態を維持し続ける。そして、GRAM2から出力される表示データは、表示リード制御信号9bがH状態、すなわちディスチャージ期間になって初めてL状態に戻すことができる。

GRAM2から出力される表示データは、このような特性を有している。

また、ラッチ回路3にデータラッチ信号10bが入力されると、そのデータラッチ信号10bのたち下がりでラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットの値を確定する。

また、メモリクロック信号12がGRAM2に入力され。メモリクロック信号12のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。このようにGRAM2への画素データの書き込みは、メモリクロック信号12に同期して行われる。

そして、GRAM2への画素データの書き込みと、GRAM2から1走査線分の画素データのラッチ回路3への読み出しとは独立した動作として行われる。

以上の動作をまとめて説明すると次のようになる。

図2のタイミングチャートでは、メモリクロック信号16が、通常時表示リード制御信号14がL状態すなわちメモリデータ更新期間に入力されている。

また、メモリクロック信号16が入力され、メモリクロック信号16のたち下がり時点でGRAM2に書き込まれる画素データに対応する画素は、通常時データラッチ信号15が入力され、通常時データラッチ信号15のたち下がり時点で確定される水平走査線の画素データに対応する画素に含まれている。すなわち、GRAM2に書き込まれる画素データに対応する画素と同じ画素に対応する画素データがラッチ回路3によって読み出される。

このような場合、まず、通常時表示リード制御信号14がH状態すなわち競合発生時表示リード制御信号19がH状態の場合、つまりディスプレイ期間に表示データは全てLとなり、ラッチ回路3を構成するメモリ素子の各ビットは従前のデータ値を保持した状態になる。

そして、通常時表示リード制御信号14がL状態のときすなわち競合発生時表示リード制御信号19がL状態のとき、つまり、メモリデータ更新期間に、データラッチ回路3は、通常時データラッチ信号15及び競合発生時データラッチ信号20に示すように、GRAM2に記憶されている画素データを読み出して記憶する。

競合発生時表示リード制御信号19がL状態のとき、すなわちメモリデータ更新期間に、メモリクロック信号16が入力され、メモリクロック信号16のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。ここで、表示データ21に対応するGRAM2を構成するメモリ素子のビットは、メモリクロック信号16が入力されるまでは、H状態に設定されていたとする。そして、メモリクロック信号16が入力されたタイミングでこのビットにL状態が書き込まれたとする。

このような場合、ラッチ回路3はメモリクロック信号16が入力される前のメモリデータ更新期間で、すでに、表示データ21のビットを読み出して記憶している。そして、メモリクロック信号16が入力され、メモリクロック信号16のたち下がりのタイミングで表示データ21に対応するGRAM2を構成するメモリ素子のビットが書き込まれる。このビットにL状態が書き込まれたとする。

ところが、従来の技術で説明したように、GRAM2から出力される表示データは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2を構成するメモリ素子のビットにどのような値が設定されていても、H状態を維持し続ける。GRAM2から出力される表示データは、競合発生時表示リード制御信号19がH状態、すなわちディスチャージ期間になって初めてL状態に戻すことが出来る。GRAM2から出力される表示データは、このような特性を有している。

従って、GRAM2の表示データ21に対応するメモリ素子のビットは

一旦H状態に設定されているので、GRAM2から出力される表示データ21はメモリデータ更新期間ではH状態のまま維持される。

表示データ22に対応するGRAM2を構成するメモリ素子のビットは、メモリクロック信号16が入力される以前はL状態に設定されており、メモリクロック信号16が入力され、そのたち下がりでそのビットにH状態が書き込まれる。この場合には、GRAM2に画素データが書き込まれると、GRAM2は、表示データ22として、H状態を出力する。

次に、競合発生時データラッチ信号20がラッチ回路3に入力されると、競合発生時データラッチ信号20のたち下がりで、ラッチ回路3は、ラッチ回路3を構成するメモリ素子が記憶している各ビットを確定する。

ラッチ回路3が競合発生時データラッチ信号20によりラッチ回路3を構成するメモリ素子の各ビットを確定した場合、表示データ21については、GRAM2の画素データの表示データ21に対応するビットがL状態になっているにもかかわらず、ラッチ回路3の表示データ21に対応するメモリ素子のビットはH状態のまま確定されている。

従って、競合発生時表示リード制御信号19がL状態すなわちメモリデータ更新期間の間にメモリクロック信号16が入力され、しかも、このメモリクロック信号16が入力され、メモリクロック信号16のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素が、競合発生時データラッチ信号20が入力され、競合発生時データラッチ信号20のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている場合には、表示異常が発生することになる。

このようなGRAM2への画素データの書き込みとラッチ回路3により画素データの読み出しとの競合は、通常時表示リード制御信号14がメモリデータ更新期間にある場合に、メモリクロック信号がH状態にな

った場合に起こりうる。従って、監視回路92は、このような競合が発生し得るかどうかを監視する。すなわち、監視回路92は、以下に説明する監視区間の間にメモリクロック信号16がH状態になるかどうかを監視する。そして、監視回路92は、監視区間の間にメモリクロック信号16がH状態になる場合には、以下に説明するように、遅延回路7を動作させ、ラッチ回路3に再読み込み処理を行わせる。

ここで、監視区間は、通常時表示リード制御信号14のメモリデータ更新期間のうち、メモリデータ更新期間の終端から所定の時間を除いた区間である。そして、このような所定の時間は、この所定の時間の間に再度ラッチ回路3がGRAM2から1走査線分の画素データを読み出すことが出来るだけ十分長い時間として設定される。

なお、監視回路92は、ドライバーIC93で共通に用いられている同期信号に基づいて動作するので、データラッチ信号10や表示リード制御信号9がどのようなタイミングで入力されてくるかは、ドライバーIC93で共通に用いられる同期信号を利用して演算処理することによって予め求めておくことが出来る。従って、上述した監視区間もこのような同期信号に基づいて演算処理することにより予め求めることが出来る。

監視回路92が監視区間の間にメモリクロック信号16がH状態になることを検出すると、上述したように、遅延回路7を制御して、以下の動作を行わせる。

すなわち、制御手段4の遅延回路7は、メモリクロック信号16を入力し、メモリクロック信号16を所定の時間だけ遅延させることにより、ホストリトライ用表示リード信号17とホストリトライ用データラッチ信号18とを発生して、それぞれ、OR回路6とOR回路5とに出力する。ここで、上記の所定の時間は、遅延時間格納メモリ91に格納されている遅延

時間を示す情報に基づいて決定される。また、遅延時間格納メモリ91には、遅延時間を示す情報がコマンドにより予め設定されているものとする。また、遅延時間を示す情報はコマンドにより必要に応じて再設定することが出来る。

OR回路5は、通常時表示リード制御信号14とホストリトライ用表示リード信号17とのORをとった信号を競合発生時表示リード制御信号19としてラッチ回路3に出力する。

また、OR回路6は、通常時データラッチ信号15とホストリトライ用データラッチ信号18とのORをとった信号を競合発生時データラッチ信号20としてラッチ回路3に出力する。

その結果、競合発生時表示リード制御信号19はL状態になった後、再度H状態に設定される。従って、競合発生時表示リード制御信号19に従って、ラッチ回路3は、再度、ラッチ回路3を構成するメモリ素子の各ビットをL状態に設定する。

その後、競合発生時表示リード制御信号19はH状態の後に再度L状態に設定される。競合発生時表示リード制御信号19が再度L状態に設定されると、ラッチ回路3はGRAM2に記憶されている画素データを1走査線分読み出して記憶する。

競合発生時表示リード制御信号19が再度L状態に設定されているときに、競合発生時データラッチ信号20が入力される。ラッチ回路3は競合発生時データラッチ信号20の立ち下がりのタイミングで、記憶している1走査線分の画素データを確定する。

このように、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への1走査線分の画素データの読み出しとが競合した場合に、制御手段4は、競合発生時表示リード制御信号19と競合発生時データラッチ信号20とに示すように、ディスチャージ期間とメモリデ

ータ更新期間、及びデータ確定のタイミングを競合が発生したメモリクロック信号16より遅延時間格納メモリ91に格納されている遅延時間を示す情報に基づく所定の時間だけ遅延させる。従って、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への画素データの読み出しとが競合した場合であっても、表示リード制御信号9がメモリデータ更新期間の間にラッチ回路3が再読込処理を行うことが出来るので、GRAM2からラッチ回路3へ1走査線分の画素データを正常に読み出すことが出来るようになる。

なお、第1の実施の形態では、監視回路92は、監視区間の間にメモリクロック信号12がH状態になったかどうかを検出し、監視区間の間にメモリクロック信号12がH状態になり競合の可能性がある場合には、遅延回路7を動作させラッチ回路3に再読込処理をさせるとして説明したが、これに限らない。監視回路92は、監視区間の間にメモリクロック信号12がH状態になったことを検出した場合には、実際に競合することにより表示異常が発生するかどうかをさらに検出し、実際に競合が発生して表示異常が発生する場合のみ、遅延回路7を動作させラッチ回路3に再読込処理をさせても構わない。

さらに、第1の実施の形態では、監視区間は、表示リード制御信号9がメモリデータ更新期間のうち終端から所定の時間を除いた部分であるとして説明したが、これに限らない。監視区間の始まりを、表示リード制御信号9がメモリデータ更新期間を開始する時点より競合発生時表示リード制御信号がLの期間となる所定の時間だけ前の時点とし、監視区間の終わりは上記第1の実施の形態と同様にメモリデータ更新期間の終端より所定の時間だけ前の時点としても構わない。このように監視区間の始まりを、メモリデータ更新期間が始まるより前の時点に設定しても、実際には競合が発生して表示異常が発生しない場合

でもラッチ回路3が再読込処理を行ってしまう場合が発生する可能性はあるが、表示異常は回避することが出来る。

なお、監視回路92は、他の映像処理機能とともに1チップの集積回路に組み込まれているとして説明したが、これに限らない。また映像処理回路1が、他の映像処理機能とともに複数の集積回路に組み込まれていても構わない。

(第2の実施の形態)

次に、第2の実施の形態について説明する。

図1に、第2の実施の形態の映像処理回路1を示す。第2の実施の形態の映像処理回路1は、第1の実施の形態と同様に携帯電話端末などに用いられるものである。

第2の実施の形態の映像処理回路1の構成は、第1の実施の形態のものと同様であるので説明を省略する。

次に、このような本実施の形態の映像処理回路1の動作を第1の実施の形態との相違点を中心に説明する。

第1の実施の形態では、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への1走査線分の画素データの読み出しが競合した場合、メモリデータ更新期間、ディスチャージ期間、及びデータを確定するタイミングを所定の時間だけ遅延させた。

しかしながら、単にメモリデータ更新期間、ディスチャージ期間、ラッチ回路3のデータを確定するタイミングを所定の時間遅延させただけでは、競合が発生したメモリクロック信号の次のメモリクロック信号と、遅延されたメモリデータ更新期間、及びラッチ回路3のデータを確定するタイミングとが再度競合する可能性がある。

このような場合を回避するために、本実施の形態では、遅延させたメモリデータ更新期間、遅延されたディスチャージ期間、及び遅延され

たデータを確定するタイミングが、競合が発生したメモリクロック信号と、競合が発生したメモリクロック信号の次のメモリクロック信号との間に入るようにする。そのためには、遅延時間格納メモリ91には、遅延時間を示す情報として、例えばメモリクロック信号12がH状態になる周期に基づいて算出した時間をコマンドにより予め格納しておく。

なお、本実施の形態の遅延回路7及び遅延時間格納メモリ91は本発明の遅延手段の例である。

図3に、映像処理回路1の各種駆動信号及び制御信号のタイミングチャートを示す。

図3のタイミングチャートでは、図1の表示リード制御信号9を通常時表示リード制御信号23として示し、図1のデータラッチ信号10を通常時データラッチ信号24として示し、図1のメモリクロック信号12をメモリクロック信号25として示し、競合発生時に遅延回路7から発生されたホストリトライ用の表示リード制御信号9aを、ホストリトライ用表示リード信号26として示し、競合発生時に遅延回路7から発生されたホストリトライ用のデータラッチ信号10aを、ホストリトライ用データラッチ信号27として示す。また、図3では、OR回路6から出力された表示リード制御信号9bを、競合発生時表示リード制御信号28として示し、OR回路5から出力されたデータラッチ信号10bを競合発生時データラッチ信号29として示している。

すなわち、OR回路6は、表示リード制御信号9と遅延回路7から出力されたホストリトライ用の表示リード制御信号9aとのORをとった信号を競合発生時表示リード制御信号28として出力する。また、OR回路5は、データラッチ信号10と遅延回路7から出力されたホストリトライ用のデータラッチ信号10aとのORをとった信号を競合発生時データラッチ信号29として出力する。

また、図3で、表示データ30、及び表示データ31は、それぞれGRAM2を構成するメモリ素子のビットに対応するGRAM2からの出力データであり、表示データ30はGRAM2を構成するメモリ素子のビットがH状態からL状態に設定される場合の出力データであり、表示データ31は、GRAM2を構成するメモリ素子のビットがL状態からH状態に設定される場合の出力データである。

図3のタイミングチャートでは、メモリクロック信号25が、通常時表示リード制御信号23がL状態すなわちメモリデータ更新期間に入力されている。

また、メモリクロック信号25が入力され、メモリクロック信号25のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素は、通常時データラッチ信号24が入力され、通常時データラッチ信号24のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている。すなわち、GRAM2に書き込まれる画素データに対応する画素と同じ画素に対応する画素データがラッチ回路3によって読み出される。

このような場合には、第1の実施の形態と同様にGRAM2への書き込みと、GRAM2からラッチ回路3への読み出しとが競合する。

監視回路92は、第1の実施の形態と同様にしてこのような競合が発生するかどうかを監視する。

このような場合、まず、通常時表示リード制御信号23がH状態すなわち競合発生時表示リード制御信号28がH状態の場合、つまりディスチャージ期間に表示データはLとなり、ラッチ回路3を構成するメモリ素子の各ビットは従前のデータ値を保持した状態になる。

そして、通常時表示リード制御信号23がL状態のときすなわち競合発生時表示リード制御信号28がL状態のとき、つまり、メモリデータ更

新期間に、データラッチ回路3は、通常時データラッチ信号24及び競合発生時データラッチ信号29に示すように、GRAM2に記憶されている画素データを読み出して記憶する。

競合発生時表示リード制御信号28がメモリデータ更新期間に、メモリクロック信号25が入力され、メモリクロック信号25のたち下がりのタイミングで、GRAM2に画素データが書き込まれる。ここで、表示データ30に対応するGRAM2を構成するメモリ素子のビットは、メモリクロック信号25が入力されるまでは、H状態に設定されていたとする。そして、メモリクロック信号25が入力されたタイミングで表示データ30に対応するGRAM2を構成するメモリ素子のビットにL状態が書き込まれたとする。

このような場合、ラッチ回路3はメモリクロック信号25が入力される前にメモリデータ更新期間で、すでに、表示データ30のビットを読み出して記憶している。そして、メモリクロック信号25が入力され、メモリクロック信号25のたち下がりのタイミングで表示データ30に対応するGRAM2を構成するメモリ素子のビットが書き込まれる。表示データ30に対応するGRAM2を構成するメモリ素子のビットとしてL状態が書き込まれたとする。

ところが、従来の技術で説明したように、GRAM2から出力される表示データは、メモリデータ更新期間の間、一旦H状態に設定されると、GRAM2を構成するメモリ素子のビットにどのような値が設定されていても、H状態を維持し続ける。GRAM2から出力される表示データは、競合発生時表示リード制御信号28がH状態、すなわちディスチャージ期間になって初めてL状態に戻すことが出来る。GRAM2から出力される表示データは、このような特性を有している。

従って、GRAM2の、表示データ30に対応するメモリ素子のビッ

トは一旦H状態に設定されているので、メモリデータ更新期間ではH状態のまま維持される。

表示データ31に対応するGRAM2を構成するメモリ素子のビットに関しては、メモリクロック信号25が入力される以前はL状態に設定されており、メモリクロック信号25が入力され、そのたち下がりでGRAM2に書き込まれた画素データに対応してそのビットにH状態が書き込まれる。この場合には、GRAM2に画素データが書き込まれると、GRAM2から出力される表示データ31はH状態を表しているので、ラッチ回路3は、表示データ31に対応するラッチ回路3のメモリ素子のビットをH状態に設定する。

次に、競合発生時データラッチ信号29がラッチ回路3に入力されると、競合発生時データラッチ信号29のたち下がりで、ラッチ回路3は、ラッチ回路3を構成するメモリ素子の各ビットを確定する。

ラッチ回路3が競合発生時データラッチ信号29によりラッチ回路3を構成するメモリ素子の各ビットを確定した場合、表示データ30については、GRAM2を構成するメモリ素子のビットがL状態になっているにもかかわらず、ラッチ回路3の表示データ30に対応するメモリ素子のビットはH状態のまま確定されている。

従って、競合発生時表示リード制御信号28がL状態すなわちメモリデータ更新期間の間にメモリクロック信号25が入力され、しかも、このメモリクロック信号25が入力され、メモリクロック信号25のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素が、競合発生時データラッチ信号29が入力され、競合発生時データラッチ信号29のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている場合には、表示異常が発生することになる。

そこで、このような場合が発生した場合には、制御手段4の遅延回路7は、メモリクロック信号12を入力し、メモリクロック信号12を所定の時間だけ遅延させることにより、ホストリトライ用表示リード信号26とホストリトライ用データラッチ信号27とを発生して、それぞれ、OR回路6とOR回路5とに出力する。

OR回路5は、通常時表示リード制御信号23とホストリトライ用表示リード信号26とのORをとった信号を競合発生時表示リード制御信号28としてラッチ回路3に出力する。

また、OR回路6は、通常時データラッチ信号24とホストリトライ用データラッチ信号27とのORをとった信号を競合発生時データラッチ信号29としてラッチ回路3に出力する。

その結果、競合発生時表示リード制御信号28はL状態になった後、再度H状態に設定される。従って、競合発生時表示リード制御信号28に従って、ラッチ回路3は、再度、ラッチ回路3を構成するメモリ素子の各ビットをL状態に設定する。

その後、競合発生時表示リード制御信号28はL状態に再度設定される。競合発生時表示リード制御信号28が再度L状態に設定されると、ラッチ回路3はGRAM2に記憶されている画素データを1走査線分読み出して記憶する。

競合発生時表示リード制御信号28が再度L状態に設定されているときに、競合発生時データラッチ信号29が入力される。ラッチ回路3は競合発生時データラッチ信号29の立ち下がりのタイミングで、記憶している1走査線分の画素データを確定する。

このように、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への1走査線分の画素データの読み出しとが競合した場合に、制御手段4は、競合発生時表示リード制御信号28と競合発生

時データラッチ信号29とに示すように、ディスチャージ期間とメモリデータ更新期間、及びデータ確定のタイミングを競合が発生したメモリクロック信号16より所定の時間遅延させる。そして、制御手段4は、競合が発生した際のメモリクロック信号25の次のメモリクロック信号がGRAM2に入力されるまでに、再度のディスチャージ期間とメモリデータ更新期間が開始され、再度の競合発生時データラッチ信号29がラッチ回路3に入力し終わっているように制御する。このような制御は、遅延時間格納メモリ91格納されている遅延時間を示す情報として、メモリクロック信号12の周期に基づく時間を示す情報を設定したので、容易に実現することが出来る。

つまり、このような制御は例えば次のようにして行うことが出来る。すなわち、遅延回路7でメモリクロック信号25を遅延させてホストリトライ用表示リード信号26及びホストリトライ用データラッチ信号27を発生させる際に、引き続いて入力される2つのメモリクロック信号25の間隔データである、遅延時間格納メモリ91に格納されている遅延時間を示す情報を考慮してメモリクロック信号25を遅延させる。そして、競合が発生したメモリクロック信号25の次のメモリクロック信号が入力されるまでに、再度の競合発生時表示リード制御信号28がディスチャージ期間からメモリデータ更新期間に移行しており、再度の競合発生時データラッチ信号29が再度のメモリデータ更新期間に、競合が発生したメモリクロック信号25の次のメモリクロック信号が入力されるまでにたち下がっているように、ホストリトライ用表示リード信号26及びホストリトライ用データラッチ信号27を発生する。

従って、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への画素データの読み出しとが競合した場合であっても、競合したメモリクロック信号25の次のメモリクロック信号と再度のラッチ回

路3への1走査線分の画素データの読み出しが競合することがない。
このように、本実施の形態によれば、GRAM2からラッチ回路3へ1走査線分の画素データを正常に読み出すことが出来るようになる。

なお、GRAM2から出力される表示データが、メモリデータ更新期間の間、GRAM2を構成するメモリ素子のビットが一旦H状態に設定されても、GRAM2を構成するメモリ素子のビットが再度L状態に設定された場合には、そのビットに対応する表示データとしてGRAM2がL状態を出力出来るという特性を有する場合には、競合が発生するのが通常時データラッチ信号とメモリクロック信号とが同時に入力される場合である。このことを除けば、上記と同様の処理をすることによりこの場合にも表示異常が発生することがない映像処理回路を実現することが出来る。

なお、本実施の形態ではGRAM2が表示パネル8の1画面分の画素データを記憶するとして説明したが、これに限らない。GRAM2が表示パネルの複数画面分の画素データを記憶していても構わない。

さらに、本実施の形態では、ラッチ回路3が表示パネル2の1走査線分の画素データをGRAM2から読み出して記憶するとして説明したが、これに限らない。ラッチ回路3が複数走査線分の画素データをGRAM2から読み出して記憶しても構わない。

なお、本実施の形態では、遅延回路7でメモリクロック信号25を遅延させてホストリトライ用表示リード信号26及びホストリトライ用データラッチ信号27を発生させる際に、引き続いて入力される2つのメモリクロック信号25の間隔データである、遅延時間格納メモリ91に格納されている遅延時間を示す情報を考慮してメモリクロック信号25を遅延させるとして説明した。この場合、GRAM2のメモリクロック信号25の周期が変動する場合、GRAM2のメモリクロック信号25の周期に関

する情報に基づいて遅延時間格納メモリ91に格納されている遅延時間を示す情報を適宜GRAM2のメモリクロック信号25の変動した周期に対応出来るように更新することにより、遅延時間を、可変に調整しても構わない。このようにすれば、GRAM2のメモリクロック信号25が変動しても、表示異常が発生することがない映像処理回路を実現することが出来る。

(第3の実施の形態)

次に、第3の実施の形態について説明する。

第1の実施の形態や第2の実施の形態では、表示リード制御信号9が、メモリデータ更新期間にある間に、メモリクロック信号12がH(High)状態になる回数は、多くとも1回であった。すなわち、第1の実施の形態及び第2の実施の形態では、メモリクロック信号12の周期が、表示リード制御信号9のメモリデータ更新期間より長い場合について説明したが、これに限らない。

すなわち、第3の実施の形態では、表示リード制御信号9が、メモリデータ更新期間にある間に、メモリクロック信号12が2回以上H(High)状態になる場合について説明する。

なお、第3の実施の形態の構成は、第1の実施の形態や第2の実施の形態と同様であるので説明を省略する。

次に、このような本実施の動作を説明する。

図9に、メモリクロック信号12の周期が、表示リード制御信号9のメモリデータ更新期間より短く、表示リード制御信号9のメモリデータ更新期間に、メモリクロック信号12が2回以上H(High)状態になる場合の映像処理回路1の各種駆動信号及び制御信号のタイミングチャートを示す。

図9のタイミングチャートでは、図1の表示リード制御信号9を通常時表示リード制御信号81として示し、図1のデータラッチ信号10を通常時データラッチ信号82として示し、図1のメモリクロック信号12をメモリクロック信号83として示し、競合発生時に遅延回路7から発生されたホストリトライ用の表示リード制御信号9aを、ホストリトライ用表示リード信号84として示し、競合発生時に遅延回路7から発生されたホストリトライ用のデータラッチ信号10aを、ホストリトライ用データラッチ信号85として示す。また、図9では、OR回路6から出力された表示リード制御信号9bを、競合発生時表示リード制御信号86として示し、OR回路5から出力されたデータラッチ信号10bを競合発生時データラッチ信号87として示している。

すなわち、OR回路6は、表示リード制御信号9と遅延回路7から出力されたホストリトライ用の表示リード制御信号9aとのORをとった信号を競合発生時表示リード制御信号86として出力する。また、OR回路5は、データラッチ信号10と遅延回路7から出力されたホストリトライ用のデータラッチ信号10aとのORをとった信号を競合発生時データラッチ信号87として出力する。

図9のタイミングチャートでは、メモリクロック信号83が、通常時表示リード制御信号81がL状態すなわちメモリデータ更新期間に2回入力されている。

また、メモリクロック信号83が入力され、メモリクロック信号83のたち下がりの時点でGRAM2に書き込まれる画素データに対応する画素は、通常時データラッチ信号82が入力され、通常時データラッチ信号82のたち下がりの時点で確定される水平走査線の画素データに対応する画素に含まれている。すなわち、GRAM2に書き込まれる画素データに対応する画素と同じ画素に対応する画素データがラッチ回

路3によって読み出される。

このような場合には、第1の実施の形態や第2の実施の形態と同様にGRAM2への書き込みと、GRAM2からラッチ回路3への読み出しとが競合する。

そこで、このような場合が発生した場合には、制御手段4の遅延回路7は、メモリクロック信号12を入力し、メモリクロック信号12を所定の時間だけ遅延させることにより、ホストリトライ用表示リード信号84とホストリトライ用データラッチ信号85とを発生して、それぞれ、OR回路6とOR回路5とに出力する。

OR回路5は、通常時表示リード制御信号81とホストリトライ用表示リード信号84とのORをとった信号を競合発生時表示リード制御信号86としてラッチ回路3に出力する。

また、OR回路6は、通常時データラッチ信号82とホストリトライ用データラッチ信号85とのORをとった信号を競合発生時データラッチ信号87としてラッチ回路3に出力する。

その結果、競合発生時表示リード制御信号86は、通常時表示リード制御信号81がメモリデータ更新期間にある間に、メモリクロック信号83がH状態を示す83aと83bとの間で86aに示すように立ち上がり、また、メモリクロック信号83がH状態を示す83bと通常時表示リード制御信号81がディスチャージ期間を開始する時点との間で86bに示すように立ち上がっている。このように競合発生時リード制御信号86は、通常時表示リード制御信号81がメモリデータ更新期間にある間に86a及び86bに示すように2回立ち上がっている。また、競合発生時データラッチ信号87は、競合発生時表示リード制御信号86がH状態すなわち86aとメモリクロック信号83がH状態を示す83bとの間で87aに示すように立ち上がり、また、競合発生時表示リード制御信号86が

H状態を示す86bの後で通常時表示リード制御信号81がメモリデータ更新期間にある間で87bに示すように立ち上がっている。すなわち、競合発生時データラッチ信号87は、通常時表示リード制御信号81がメモリデータ更新期間にある間に、競合発生時リード制御信号がH状態を示す86a及び86bの後にそれぞれ2回立ち上がっている。従って、競合発生時表示リード制御信号86に従って、ラッチ回路3は、2回ラッチ回路3を構成するメモリ素子の各ビットをL状態に設定する。そして、ラッチ回路3は、競合発生時表示リード制御信号86がH状態からL状態へ立ち下がった後に、各ビットのデータを更新し、さらに、ラッチ回路3は、競合発生時データラッチ信号87がH状態からL状態に立ち下がった際に、各ビットのデータを確定する。

このように、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への1走査線分の画素データの読み出しとが競合した場合に、制御手段4は、競合発生時表示リード制御信号86と競合発生時データラッチ信号87とに示すように、ディスチャージ期間とメモリデータ更新期間、及びデータ確定のタイミングを競合が発生したメモリクロック信号83より所定の時間遅延させる。そして、制御手段4は、競合が発生した際のメモリクロック信号83の次のメモリクロック信号がGRAM2に入力されるまでに、再度のディスチャージ期間とメモリデータ更新期間が開始され、再度の競合発生時データラッチ信号87がラッチ回路3に入力し終わっているように制御する。第3の実施の形態では、このような制御を通常時表示リード制御信号81がメモリデータ更新期間にある間に、メモリクロック信号83がH状態になる回数だけ行う。

従って、GRAM2への画素データの書き込みと、GRAM2からラッチ回路3への画素データの読み出しとが競合した場合であっても、競

合したメモリクロック信号83の次のメモリクロック信号と再度のラッチ回路3への1走査線分の画素データの読み出しが競合することがない。このように、本実施の形態によれば、GRAM2からラッチ回路3へ1走査線分の画素データを正常に読み出すことが出来るようになる。

このように、通常時表示リード制御信号81がメモリデータ更新期間にある間に、メモリクロック信号83が2回以上H状態になる場合であっても、第1の実施の形態や第2の実施の形態と同様に2回以上ラッチ回路3が再読込処理を行うことにより競合を回避することが出来る。

産業上の利用可能性

以上説明したところから明らかなように、本発明は、GRAMへの画素データの書き込みと、その画素データに対応する画素を含む走査線分の画素データの読み出しとが競合した場合であっても表示異常が発生することがない映像処理回路、映像処理回路の制御方法、及び集積回路を提供することが出来る。

請 求 の 範 囲

1. 表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

前記GRAMから前記表示画面の走査線分の各画素に対応する画素データを読み出して記憶するラッチ回路と、

制御手段とを備え、

前記ラッチ回路に記憶されている前記走査線分の各画素に対応する画素データは、前記表示画面に表示され、

前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段は、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを行うよう制御する映像信号処理回路。

2. 前記制御手段は、競合が発生した、前記GRAMの前記画素データの書き込みに対応する前記メモリクロック信号が供給された時点より後の期間であって、そのメモリクロック信号の次のメモリクロック信号が供給されるより前の前記期間の間に、前記ラッチ回路が前記走査線分の各画素に対応する画素データを読み出すよう前記遅延時間の分だけ表示リード制御信号及びデータラッチ信号を遅らせて入力する遅延手段を有する、請求項1記載の映像信号処理回路。

3. 前記遅延時間は、可変に調整可能である、請求項2記載の映像信号処理回路。

4. 前記制御手段は、前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合したかどうかを監視する監視手段を有する、請求項1記載の映像信号処理回路。

5. 前記制御手段は、前記監視手段の監視結果に基づいて、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを行うよう制御する遅延手段を備えた、請求項4記載の映像信号処理回路。

6. 前記GRAMから前記ラッチ回路へ前記走査線分の各画素に対応する画素データを読み出す、競合が発生しない場合のメモリデータ更新期間に、前記GRAMへの前記画素データの書き込みが複数回行われる場合、前記競合が発生した際、前記制御手段は、前記画素データの書き込み期間とその次の画素データの書き込み期間の間に、前記走査線分の各画素に対応する画素データの読み出しを遅延させ、再度前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しを前記競合が発生しない場合のメモリデータ更新期間に複数回行うよう制御する、請求項1記載の映像信号処理回路。

7. 表示画面の画素に対応するデータである画素データを少なくとも前記表示画面分記憶し、前記画素データがメモリクロック信号に同期して書き込まれるGRAMと、

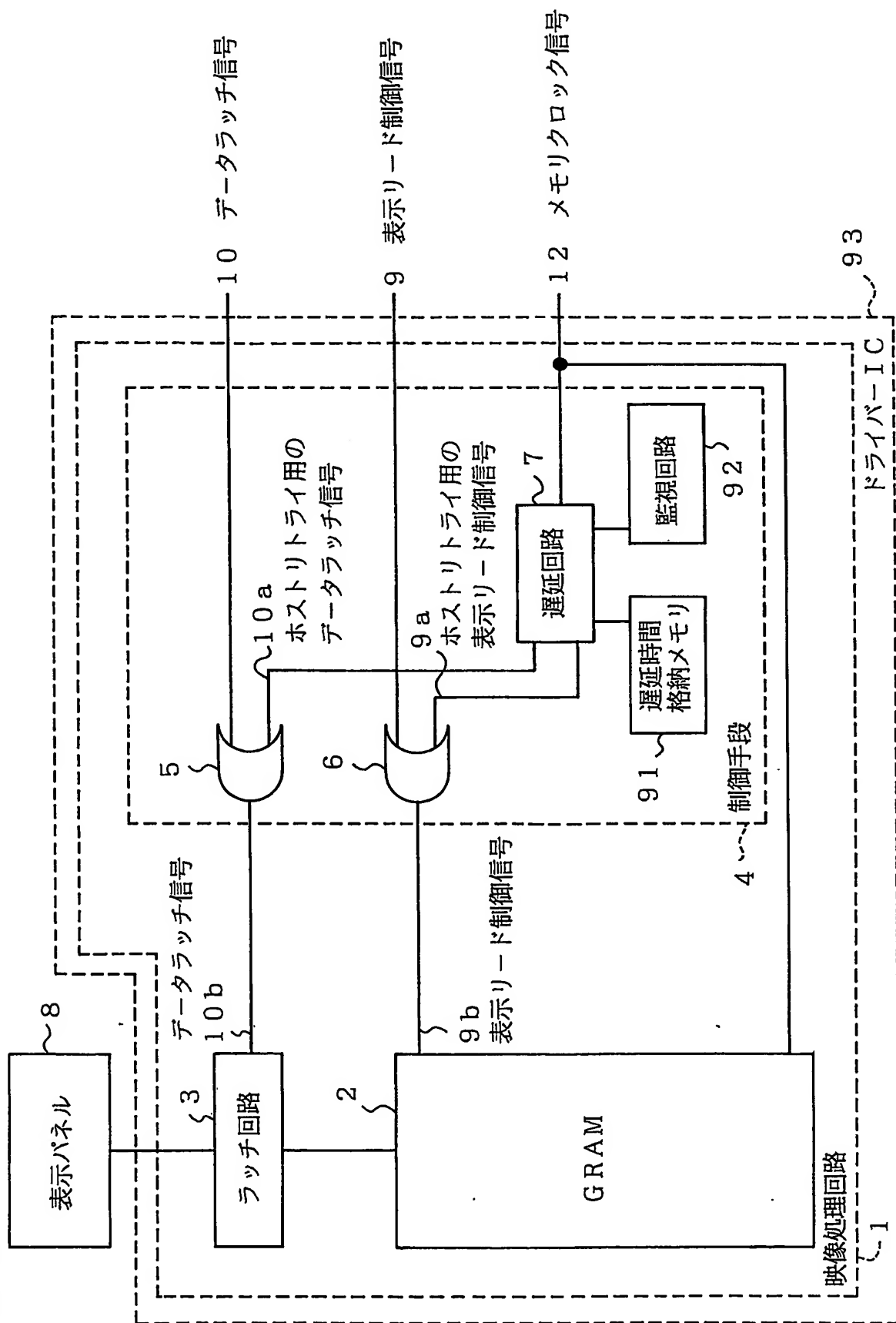
前記GRAMから前記表示画面の走査線分の各画素に対応する画素データを読み出して記憶するラッチ回路と、

制御手段とを備えた映像信号処理回路を制御する映像信号処理回路の制御方法であって、

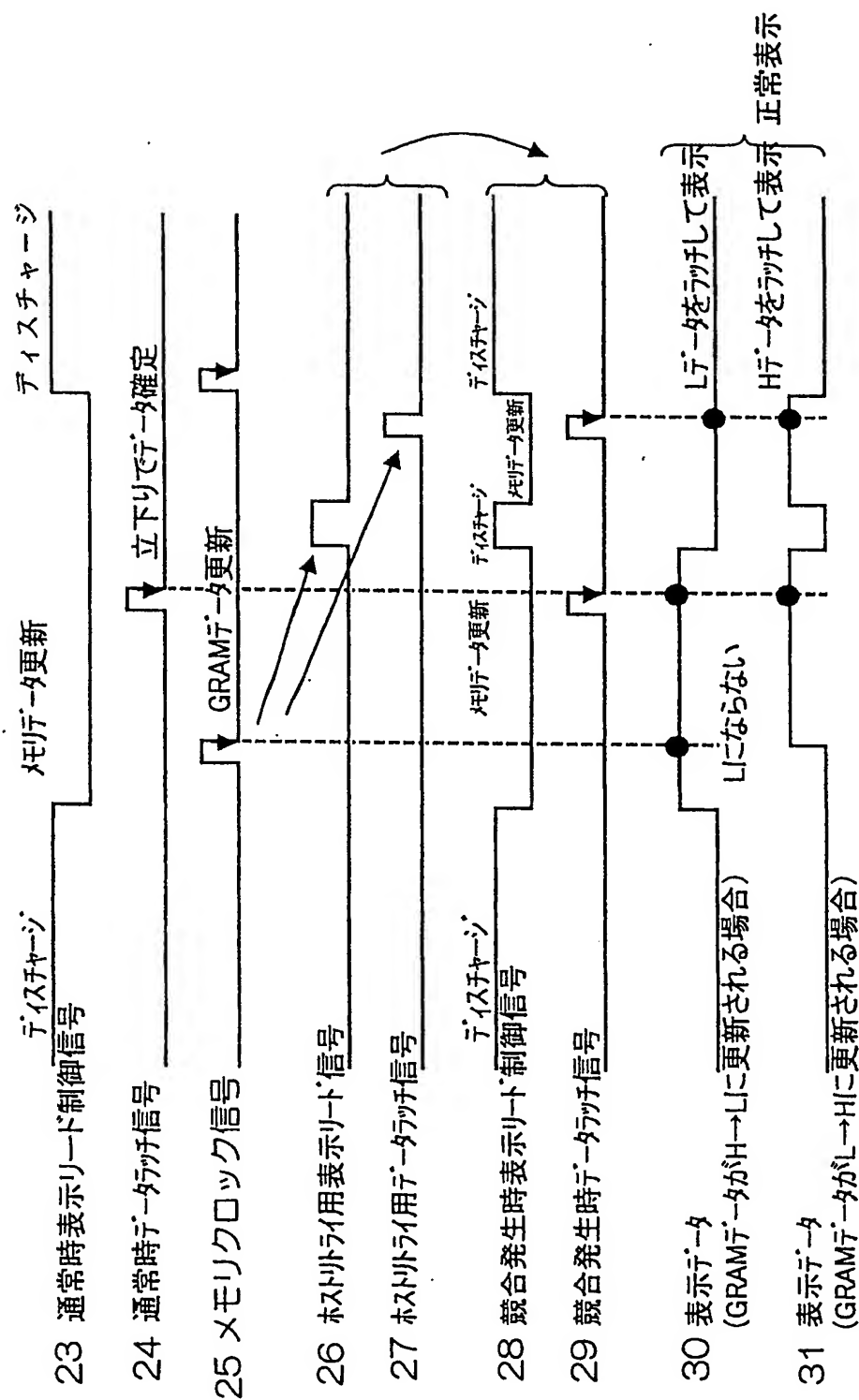
前記GRAMへの前記画素データの書き込みと、前記GRAMから前記ラッチ回路への前記走査線分の各画素に対応する画素データの読み出しとが競合した場合、前記制御手段が、前記走査線分の各画素に対応する画素データの読み出しを遅延させるよう制御するステップを備えた映像信号処理回路の制御方法。

8. 請求項1記載の映像信号処理回路が組み込まれている、集積回路。

第1図

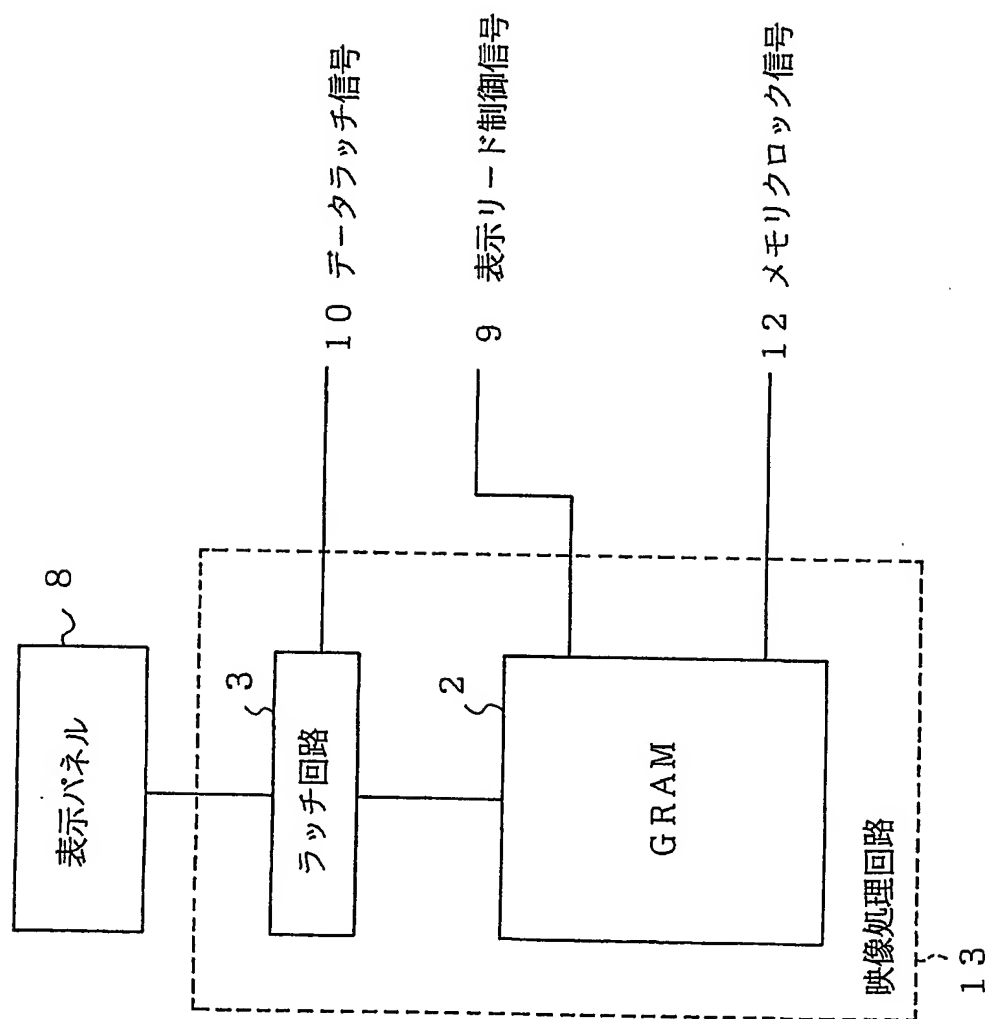


第3図

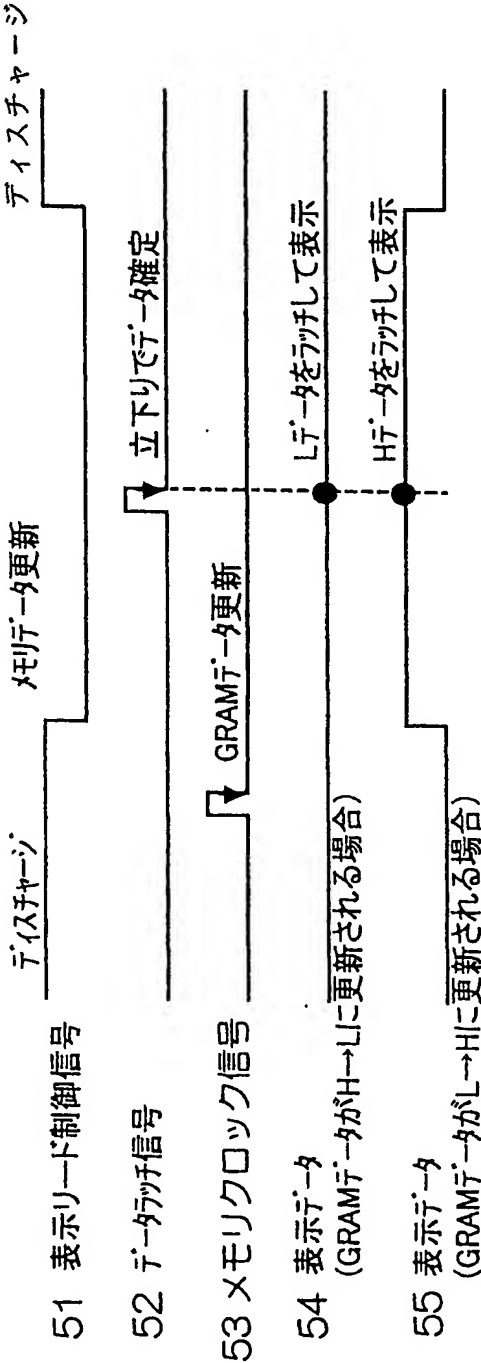


4/9

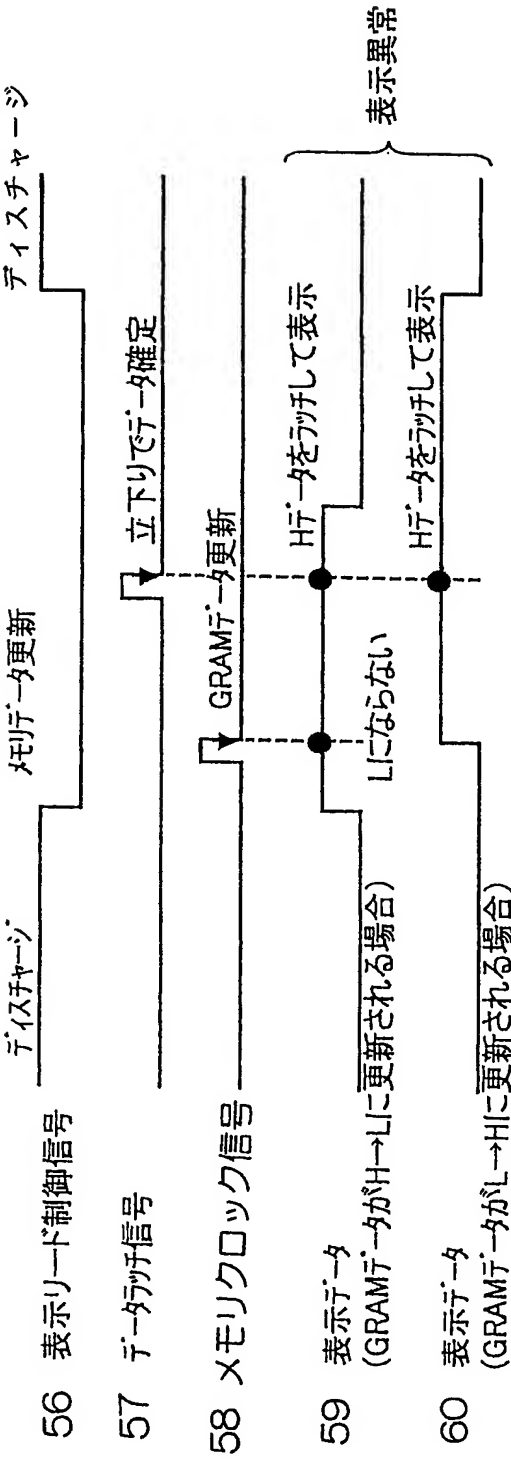
第4図



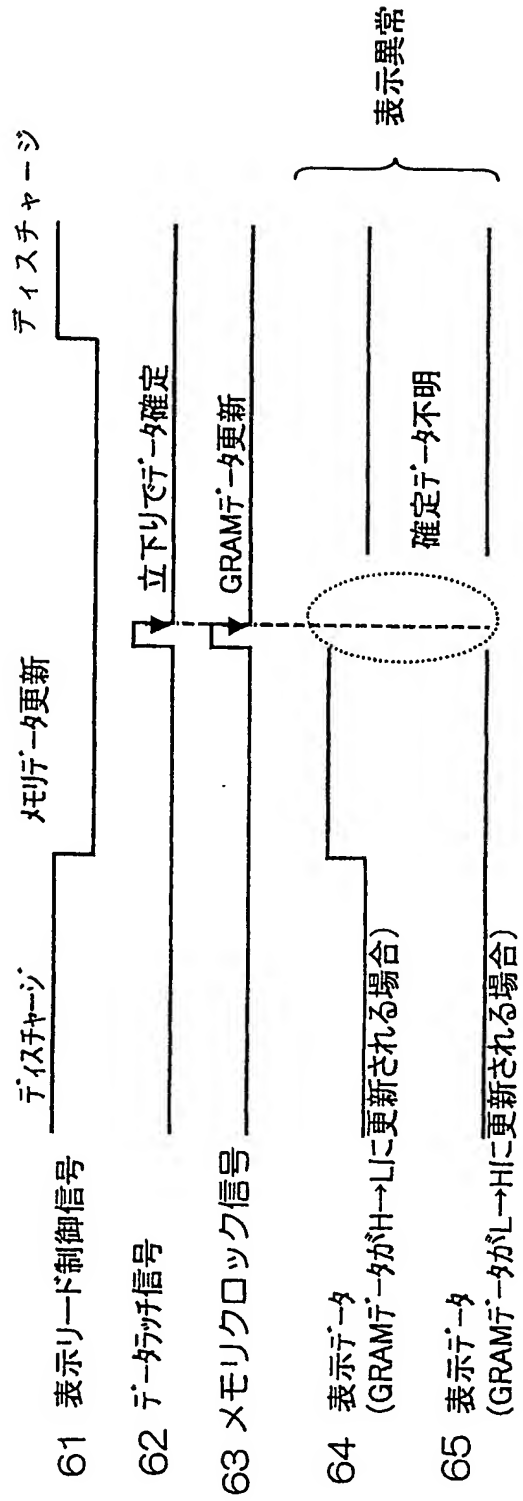
第5図



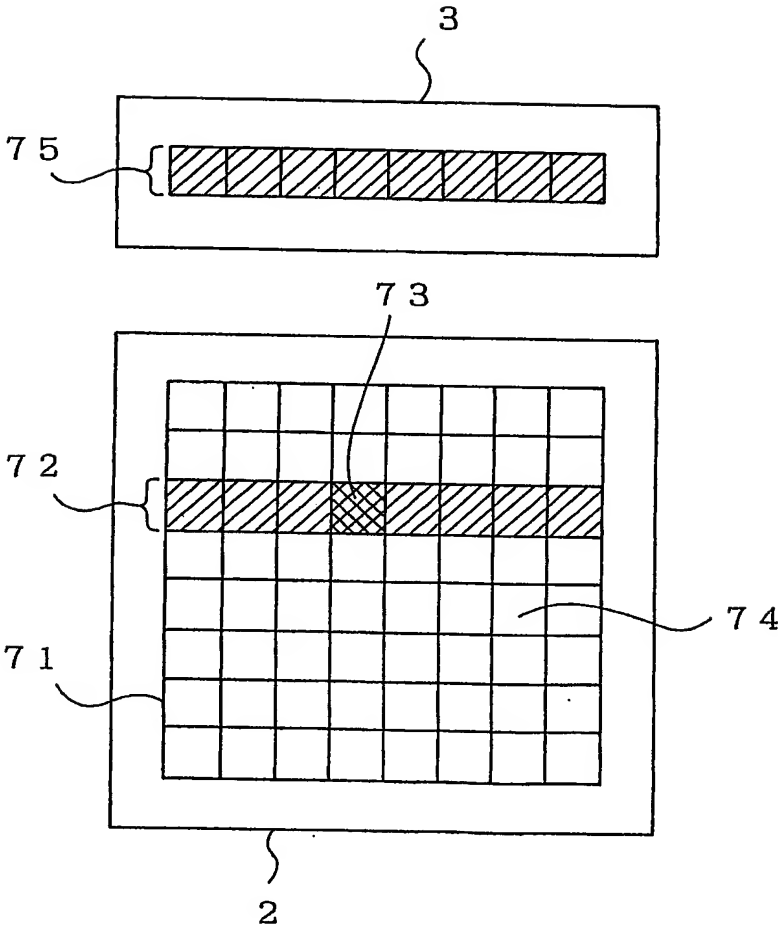
第6図



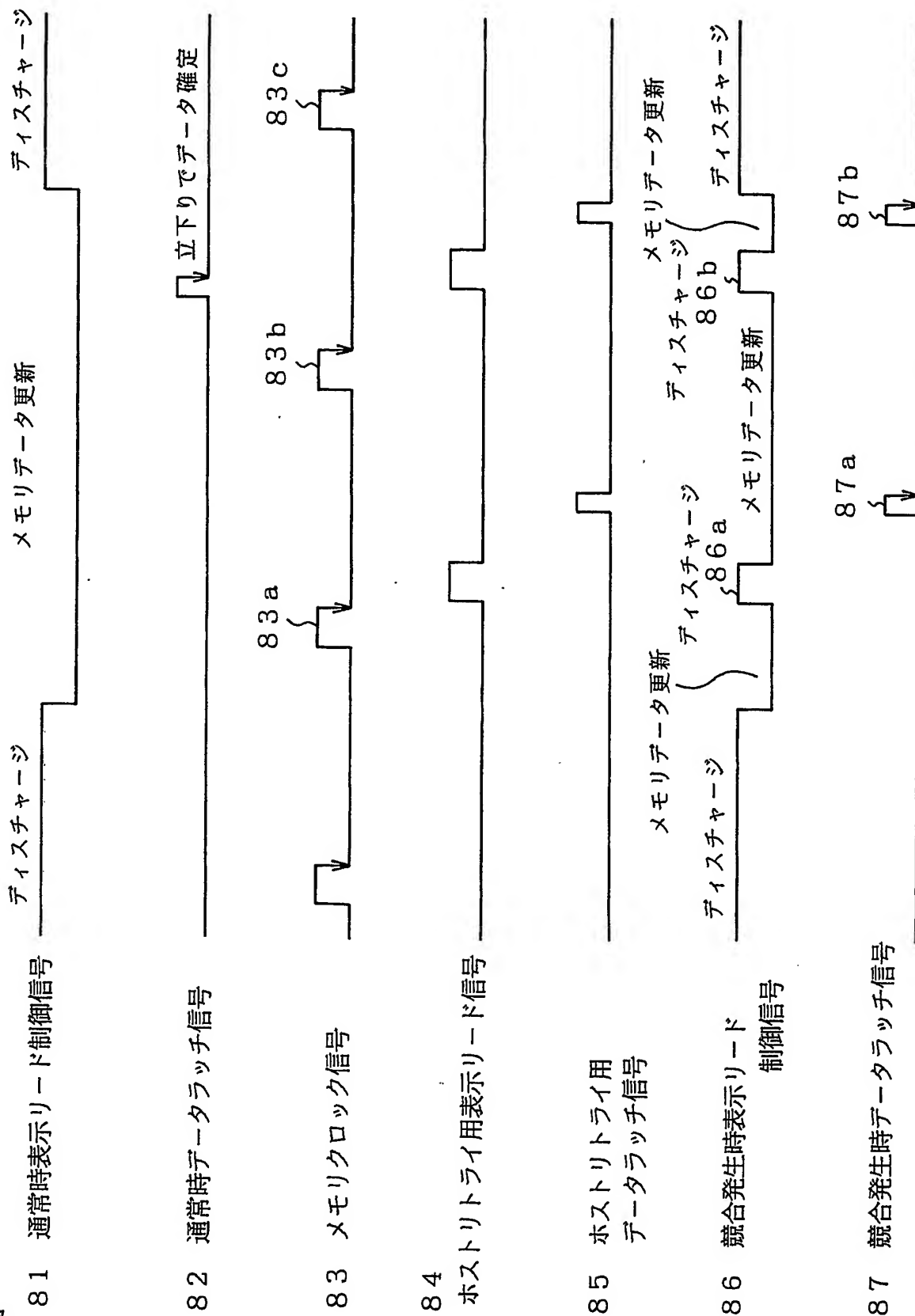
第7図



第8図



第9図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009771

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G5/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/00-5/42, G06F3/14-3/153, 12/00-12/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 00/03381 A1 (Seiko Epson Corp.), 20 January, 2000 (20.01.00), Page 17, lines 2 to 20; page 20, line 12 to page 23, line 3; Figs. 2, 8, 9 & US 2003/197706 A1 Par. Nos. [0114] to [0117], [0135] to [0154]; Figs. 2, 8, 9	1, 4, 5, 7, 8 2, 3, 6
P, Y	JP 2003-288202 A (NEC Kansai, Ltd.), 10 October, 2003 (10.10.03), Par. Nos. [0011], [0020], [0029]; Figs. 2, 8, 9 (Family: none)	1, 7, 8
Y	JP 2000-330520 A (Kyocera Corp.), 30 November, 2000 (30.11.00), Par. Nos. [0016] to [0020]; Figs. 1, 2 (Family: none)	1, 7, 8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 August, 2004 (09.08.04)Date of mailing of the international search report
24 August, 2004 (24.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G5/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G 3/00 - 5/42, G06F 3/14 - 3/153, 12/00 - 12/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 00/03381 A1 (セイコーエプソン株式会社) 2000. 01. 20 第17頁第2行-第20行, 第20頁第12行-第23頁第3行, 図2, 図8, 図9	1, 4, 5, 7, 8
A	& US 2003/197706 A1 【0114】 - 【0117】, 【0135】 - 【0154】, FIG. 2, FIG. 8, FIG. 9	2, 3, 6
P, Y	JP 2003-288202 A (関西日本電気株式会社) 2003. 10. 10 【0011】, 【0020】, 【0029】, 【図2】, 【図8】, 【図9】 (ファミリーなし)	1, 7, 8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

09. 08. 2004

国際調査報告の発送日

24. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 亮治

2G

9610

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-330520 A (京セラ株式会社) 2000.11.30 【0016】－【0020】，【図1】，【図2】 (ファミリーなし)	1, 7, 8